**班级：210511 学号： 2021051123 姓名： 汪云翔 成绩：**

**实验一 基本门电路的逻辑功能测试**

**一、实验目的**

1、测试与门、或门、非门、与非门、或非门与异或门的逻辑功能。

2、了解测试的方法与测试的原理。

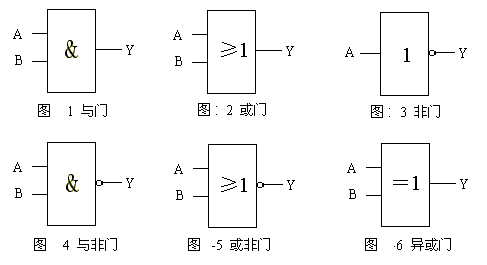
**二、实验环境**

1、计算机及PROTEUS仿真软件

2、PROTEUS库中相应74LS系列、74HC系列芯片若干、LOGICSTATE、LOGICPROBE。

**三、实验原理**

实验中用到的基本门电路的符号为：



在要测试芯片的输入端用LOGICSTATE输入高低电平，然后使用LOGICPROBE显示其逻辑功能。

**四、实验内容**

1. 测试TTL门电路的逻辑功能：
   1. 测试74LS08的逻辑功能。
   2. 测试74LS32的逻辑功能。
   3. 测试74LS04的逻辑功能。
   4. 测试74LS00的逻辑功能。
   5. 测试74LS02的逻辑功能。
   6. 测试74LS86的逻辑功能。
2. 测试CMOS门电路的逻辑功能：
   1. 测试74HC08的逻辑功能。
   2. 测试74HC32的逻辑功能。
   3. 测试74HC04的逻辑功能。
   4. 测试74HC00的逻辑功能。
   5. 测试74HC02的逻辑功能。

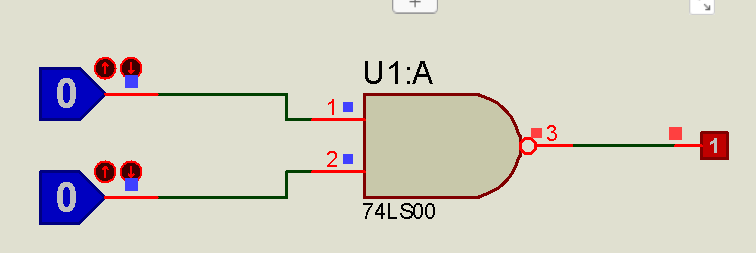
f) 测试 74HC86的逻辑功能。

**五、实验报告要求**

1. 画好各门电路的真值表表格，将实验结果填写到表中。
2. 根据实验结果，写出各逻辑门的逻辑表达式，并分析如何判断逻辑门的好坏。

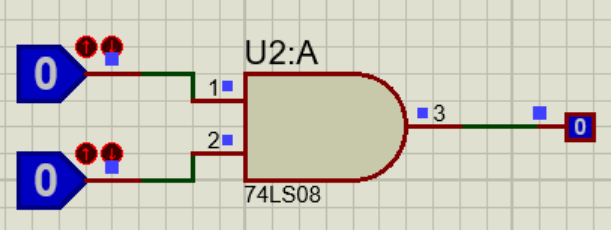
例：74LS00 或门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



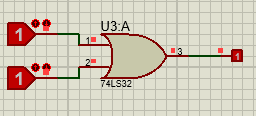
74LS08 与门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



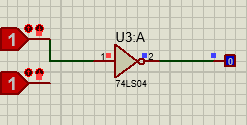
74LS32 或门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |



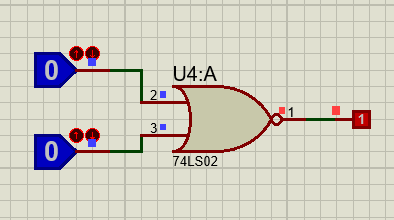
74LS04 非门 Y=AB

|  |  |
| --- | --- |
| 输入 | 输出 |
| 0 | 1 |
| 1 | 0 |



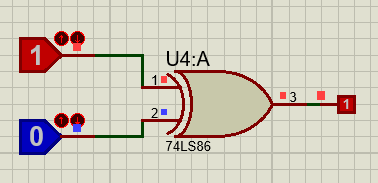
74LS02 或非门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |



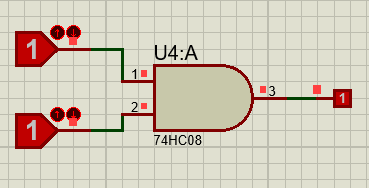
74LS86 与非门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



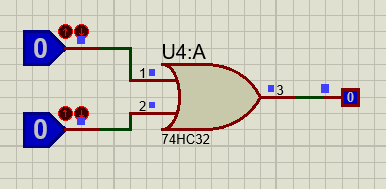
74HC08 异或门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



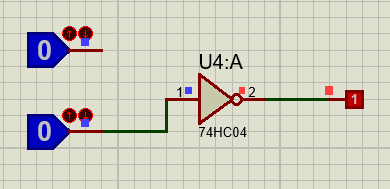
74HC32 与或门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |



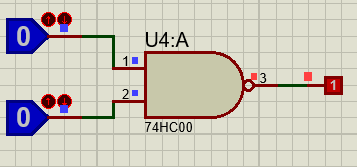
74HC04 非门 Y=AB

|  |  |
| --- | --- |
| 输入 | 输出 |
| 1 | 0 |
| 0 | 1 |



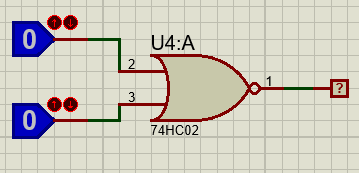
74HC00 与非门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



74HC02 或非门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |



74HC86 异或门 Y=AB

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

